

Số: 299 /ĐHQGHN-ĐT&CTSV

Hà Nội, ngày 20 tháng 01 năm 2025

V/v Thông báo học bổng chương trình  
Thiết kế vi mạch số

- Kính gửi: - Trường Đại học Khoa học Tự nhiên;  
- Trường Đại học Công nghệ;  
- Trường Đại học Việt Nhật;  
- Trường Quốc tế;  
- Viện Công nghệ thông tin.

Đại học Quốc gia Hà Nội (ĐHQGHN) nhận được Công văn số 08/TTĐMST-KGST ngày 09 tháng 01 năm 2025 của Trung tâm đổi mới sáng tạo quốc gia, Bộ Kế hoạch và Đầu tư về việc cấp Học bổng chương trình đào tạo Thiết kế vi mạch số (Digital IC Design) cho đối tượng giảng viên, sinh viên năm cuối chuyên ngành thiết kế vi mạch hoặc các ngành gần, kỹ sư mới ra trường (Chi tiết thông tin tại công văn kèm theo).

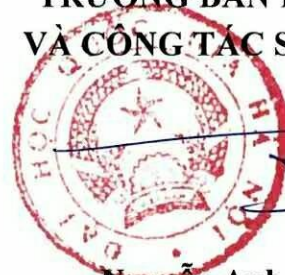
ĐHQGHN đề nghị trường Đại học Khoa học Tự nhiên, trường Đại học Công nghệ, trường Đại học Việt Nhật, trường Quốc tế, Viện Công nghệ thông tin tiếp nhận thông tin, thông báo về chương trình tới đối tượng là giảng viên, sinh viên theo yêu cầu và gửi đăng ký trước ngày 06 tháng 02 năm 2025.

Trân trọng./.

**Nơi nhận:**

- Như trên;
- PGĐ Đào Thành Trường (để b/c);
- Lưu: VT, ĐT&CTSV, Đ2.

**TL. GIÁM ĐỐC  
TRƯỜNG BAN ĐÀO TẠO  
VÀ CÔNG TÁC SINH VIÊN**



**Nguyễn Anh Tuấn**

**BỘ KẾ HOẠCH VÀ ĐẦU TƯ  
TRUNG TÂM ĐỔI MỚI SÁNG TẠO QUỐC GIA**

**CỘNG HÒA XÃ HỘI CHỦ NGHĨA VIỆT NAM  
Độc lập - Tự do - Hạnh phúc**

Số: 08 /TTĐMST-KGST

Hà Nội, ngày 09 tháng 01 năm 2025

V/v thông tin về học bổng chương trình đào tạo

Thiết kế vi mạch của NIC - Dolphin - Cadence

ĐẠI HỌC QUỐC GIA HÀ NỘI	
<b>ĐẾN</b>	Số:.....356.....
	Ngày: 16/01/2025
Chuyên:.....	(Lưu: Free)
Số và ký hiệu HS:.....	

Kính gửi: Đại học Quốc gia Hà Nội

Nhằm phát triển nguồn nhân lực ngành công nghiệp bán dẫn Việt Nam, Trung tâm Đổi mới sáng tạo Quốc gia (Trung tâm) phối hợp với Công ty TNHH Dolphin Technology Việt Nam Center và Tập đoàn Cadence tổ chức cấp học bổng chương trình đào tạo thiết kế vi mạch số (Digital IC Design) với một số thông tin như sau:

- Thời gian dự kiến: 3h/tuần trong vòng 16 tuần, bắt đầu từ ngày 15/02/2025;
- Đối tượng học viên: giảng viên, sinh viên năm cuối chuyên ngành thiết kế vi mạch hoặc các ngành gần, kỹ sư mới ra trường;
- Số lượng học bổng: 30 suất (giá trị học bổng đào tạo: 30 triệu đồng/khóa);
- Địa điểm đào tạo: Đại học Bách khoa Hà Nội - Số 01 Đại Cồ Việt, Hai Bà Trưng, Hà Nội;
- Chương trình theo tiêu chuẩn Hoa Kỳ, sử dụng phần mềm chuyên dụng của Cadence, được giảng dạy song ngữ Việt - Anh bởi các chuyên gia từ Dolphin;
- Quyền lợi: được cấp chứng nhận hoàn thành khóa học từ NIC - Dolphin - Cadence; ưu tiên cơ hội thực tập, việc làm từ Dolphin và các doanh nghiệp đối tác hàng đầu của NIC trong lĩnh vực thiết kế vi mạch.

(Thông tin chi tiết và link đăng ký chương trình học bổng trong tài liệu đính kèm)

Trung tâm đề nghị Quý Trường thông tin đến giảng viên, sinh viên của Quý Trường về học bổng chương trình nêu trên, hạn đăng ký đến hết ngày 06/02/2025. Thông tin chi tiết liên hệ email: semi@nic.gov.vn.

Trung tâm Đổi mới sáng tạo Quốc gia mong nhận được sự phối hợp của Quý Trường.!

Nơi nhận:

- Như trên;
- Lưu: VT, KGST (KL) 13

**KT. GIÁM ĐỐC  
PHÓ GIÁM ĐỐC**  
  
**Võ Xuân Hoài**



## SCHOLARSHIP FOR DIGITAL IC DESIGN COURSE



*(Please scan this QR code to register for the Digital IC Design Course Scholarship)*

**1. Organized by: Viet Nam National Innovation Center (NIC) and Dolphin Technology Vietnam Center (DTVC) and Cadence.**

**2. Course Duration: 3h/week during 16 weeks (from February 15, 2025).**

**3. Course Objectives:**

- Combine theory and practice.
- Acquire fundamental and essential knowledge in a digital design.
- Gain proficiency in designing simple digital circuits (digital IP).
- Learn how to use hardware description languages to describe designs.
- Get familiar with real-world projects, providing a solid foundation for students to transition into the corporate environment.
- Develop continuous learning skills and stay updated with trends and advancements in the field of digital IC design.
- Review SystemVerilog and Object-Oriented Programming (OOP).
- Explore the UVM Verification Component (UVC) architecture, connect the UVCs using Transaction-Level Modeling (TLM), generate stimulus sequences and learn how the UVM testbench operates.

**4. Course Outlines:**

Week	Content	Instructor
1	Opening ceremony Introduction to digital design and basic elements in digital design	Nguyễn Nam Phương
2	Digital IP design flow and SystemVerilog hardware description language <ul style="list-style-type: none"><li>· Overview of Digital IP design</li><li>· Hardware modeling</li></ul>	Nguyễn Nam Phương
3, 4	Introduction to Cadence Tools Testbench direct writing techniques <ul style="list-style-type: none"><li>· Introduction to Testbench Direct</li><li>· Component of Testbench</li></ul>	Nguyễn Nam Phương, Phạm Ngọc Lâm



5, 6, 7	<p>Signal and array classification</p> <ul style="list-style-type: none"> <li>· Type, Data type</li> <li>· Packed array, Unpacked array</li> </ul> <p>Procedural blocks in digital design</p> <ul style="list-style-type: none"> <li>· Always blocks</li> <li>· Initial blocks</li> </ul> <p>Operations in digital design</p>	Nguyễn Nam Phương
8, 9	<p>Case</p> <ul style="list-style-type: none"> <li>· Case, Casex and Casez</li> </ul> <p>Finite State Machine (FSM)</p> <ul style="list-style-type: none"> <li>· Fsm moore and mealy</li> </ul>	Nguyễn Nam Phương
10, 11	<p>Practice designing a FIFO</p> <p>Practice designing a Traffic Light Controller</p> <ul style="list-style-type: none"> <li>· Read and analyze Design Requirement</li> <li>· Write Specification</li> <li>· Implement design and testbench with SystemVerilog</li> </ul>	Nguyễn Nam Phương
12	<p>Introduction to SystemVerilog and Object-Oriented Programming (OOP)</p> <ul style="list-style-type: none"> <li>· SystemVerilog language for verification</li> <li>· Interface</li> <li>· SystemVerilog OOPs</li> <li>· Randomization and Constraints</li> </ul>	Phạm Ngọc Lâm
13	<p>Explore the UVM Verification Component (UVC) architecture</p> <p>Generate stimulus sequences</p> <ul style="list-style-type: none"> <li>· UVM architecture</li> <li>· How to create a sequence?</li> <li>· Functional and code coverage</li> <li>· SystemVerilog Assertions</li> </ul>	Phạm Ngọc Lâm
14	<p>Implement a scoreboard to help check the behavior of a design</p> <p>Connect the UVCs using Transaction-Level Modeling (TLM)</p> <p>Launch an example UVM testbench</p>	Phạm Ngọc Lâm



15	Exam: <ul style="list-style-type: none"><li>- Format: Presentation + Q&amp;A</li><li>- Each group: Maximum of 4 members</li><li>- The major assignment includes:<ul style="list-style-type: none"><li>+ Slide file presenting the project</li><li>+ Docx file of the design specification<ul style="list-style-type: none"><li>+ RTL code file</li><li>+ Testbench file</li></ul></li></ul></li></ul>	Nguyễn Nam Phương Phạm Ngọc Lâm Đàm Văn Vượng Phạm Thanh Tùng
16	Closing ceremony	

### 5. About Dolphin Technology Vietnam Center Co., Ltd

Dolphin Technology Vietnam Center Co., Ltd, with offices in both Hanoi and Haiphong, is a proud subsidiary of Dolphin Technology US. Officially established in May 2010 as part of a high-tech investment project approved by the Vietnamese Government, Dolphin Technology Vietnam stands as one of the pioneering and leading companies in Vietnam in the field of digital IC design. We specialize in semiconductor IP design, high-speed SRAM memory, memory compilers and verification, Input/Output logic circuits, and peripheral interface controllers such as DDRx SDRAM, USB, and PCIe,....

Since its inception, Dolphin Technology Vietnam Center has consistently nurtured and expanded a team of highly skilled engineers, drawn from top-tier universities. Today, our workforce comprises 180 talented engineers, thriving in a professional, dynamic, and collaborative environment.